

Reference 2

PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2003-108032

(43)Date of publication of application : 11.04.2003

(51)Int.Cl.

G09F 9/30

G09F 9/00

G09G 3/20

G09G 3/30

H05B 33/14

(21)Application number : 2001-303788

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 28.09.2001

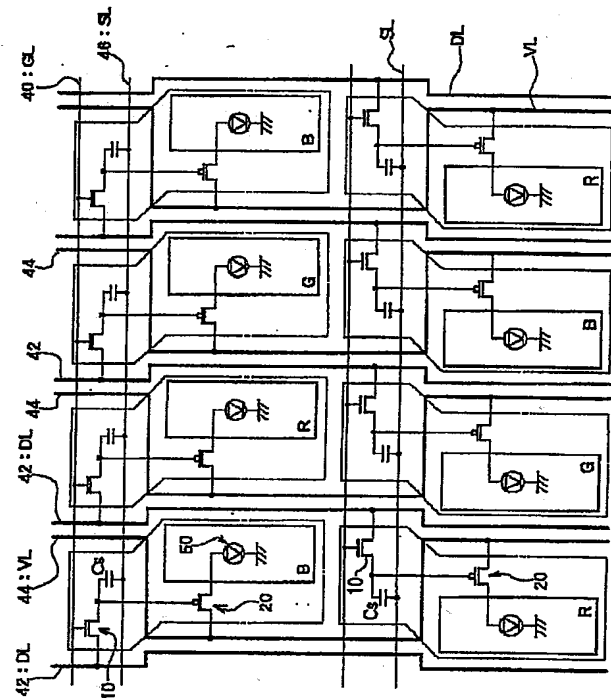
(72)Inventor : ANZAI KATSUYA

(54) ACTIVE MATRIX DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To simplify a wiring pattern in an active matrix display device adopting delta arrangement or the like.

SOLUTION: A driving power line 44 traverses the area of each pixel in the active matrix display device having a plurality of pixels arranged like a matrix, each of which is provided with at least an organic EL element 50 as a display element, a second TFT 20 for supplying the current from the driving power line 44 to the organic EL element 50, and a first TFT for controlling a second TFT 20 on the basis of a data signal supplied from a data line 42 at the time of selection. Concretely, the driving power line 44 is arranged on the second side opposite to the data line out of first and second sides facing each other of the pixel in the area for connection between the first TFT and the data line 42 and is arranged on the first side in the area for connection between the second TFT 20 and the driving power line 44. Thus pixels of which the positions are shifted by rows can be connected with a simple wiring layout.



LEGAL STATUS

[Date of request for examination]

23.02.2006

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

31
5/11
2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-108032

(P2003-108032A)

(43) 公開日 平成15年4月11日 (2003.4.11)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 3 K 0 0 7
	3 3 0		3 3 0 Z 5 C 0 8 0
9/00	3 4 8	9/00	3 4 8 C 5 C 0 9 4
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 M 5 G 4 3 5
	6 8 0		6 8 0 G

審査請求 未請求 請求項の数 8 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2001-303788(P2001-303788)

(22) 出願日 平成13年9月28日 (2001.9.28)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 安齋 勝矢

大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内

(74) 代理人 100075258

弁理士 吉田 研二 (外 2 名)

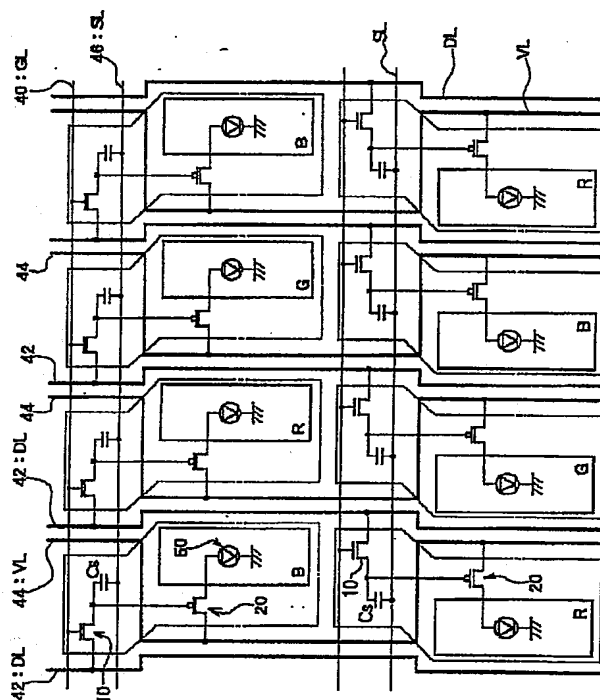
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置

(57) 【要約】

【課題】 デルタ配列などが採用されたアクティブマトリクス型表示装置において配線パターンを簡潔とする。

【解決手段】 マトリクス状に配置された複数の画素のそれぞれが、表示素子として例えば有機EL素子50と、駆動電源ライン44からの電流を上記有機EL素子50に供給する第2TFT20と、選択時にデータライン42から供給されるデータ信号に基づいて第2TFT20を制御する第1TFTと、を少なくとも備えるアクティブマトリクス型表示装置において、各画素の領域内を駆動電源ライン44が横切る。具体的には、第1TFTがデータライン42と接続される領域では、画素の対向する第1、第2辺のうち、データライン42と逆の第2辺側に配置され、第2TFT20と該駆動電源ライン44が接続される領域では第1辺側に配置する。これにより、行毎に位置のずれた画素を簡潔な配線レイアウトで接続することができる。



【特許請求の範囲】

【請求項1】 マトリクス状に配置された複数の画素のそれぞれが、被駆動素子と、駆動電源ラインからの電力を該被駆動素子に供給する素子駆動用薄膜トランジスタと、選択時にデータラインから供給されるデータ信号に基づいて前記素子駆動用薄膜トランジスタを制御するスイッチング用薄膜トランジスタと、を少なくとも備えるアクティブマトリクス型表示装置であって、各画素において、前記駆動電源ラインは、前記スイッチング用薄膜トランジスタが前記データラインと接続されている領域では、該画素の対向する第1及び第2辺のうち前記データラインと反対側の第2辺側に配置され、前記素子駆動用薄膜トランジスタと該駆動電源ラインが接続されている領域では、前記データライン側の第1辺側に配置されていることを特徴とするアクティブマトリクス型表示装置。

【請求項2】 請求項1に記載のアクティブマトリクス型表示装置において、前記駆動電源ラインは、画素の第2辺側から、画素内の前記スイッチング用薄膜トランジスタと前記被駆動素子との間を横切って該画素の第1辺側に延びることを特徴とするアクティブマトリクス型表示装置。

【請求項3】 請求項1に記載のアクティブマトリクス型表示装置において、前記駆動電源ラインは、画素の第2辺側から、画素内の前記スイッチング用薄膜トランジスタと前記被駆動素子との間を、前記スイッチング用薄膜トランジスタに選択信号を供給する選択ラインの延在方向に延びて該画素の第1辺側に到達することを特徴とするアクティブマトリクス型表示装置。

【請求項4】 マトリクス状に配置された複数の画素のそれぞれが、被駆動素子と、駆動電源ラインからの電力を該被駆動素子に供給する素子駆動用薄膜トランジスタと、選択時にデータラインから供給されるデータ信号に基づいて前記素子駆動用薄膜トランジスタを制御するスイッチング用薄膜トランジスタと、を少なくとも備えるアクティブマトリクス型表示装置であって、各画素において、前記スイッチング用薄膜トランジスタと前記データラインとの接続領域と、前記素子駆動用薄膜トランジスタと該駆動電源ラインが接続されている領域とは、該画素の第1辺付近に配置されていることを特徴とするアクティブマトリクス型表示装置。

【請求項5】 マトリクス状に配置された複数の画素のそれぞれが、被駆動素子と、駆動電源ラインからの電力を該被駆動素子に供給する素

子駆動用薄膜トランジスタと、選択時にデータラインから供給されるデータ信号に基づいて前記素子駆動用薄膜トランジスタを制御するスイッチング用薄膜トランジスタと、を少なくとも備えるアクティブマトリクス型表示装置であって、前記素子駆動用薄膜トランジスタのゲートは、対応する前記スイッチング用薄膜トランジスタに接続されており、前記駆動電源ラインは、各画素において、該画素内を横切り、前記素子駆動用薄膜トランジスタのゲートと前記スイッチング用薄膜トランジスタとの接続配線経路と交差することを特徴とするアクティブマトリクス型表示装置。

【請求項6】 請求項1～5のいずれか一つに記載のアクティブマトリクス型表示装置において、前記複数の画素は、マトリクスの列方向では、隣接行の同一色の画素が互に行方向にずれて配置されていることを特徴とするアクティブマトリクス型表示装置。

【請求項7】 請求項6に記載のアクティブマトリクス型表示装置において、

前記データラインは、前記マトリクスの列方向に各画素の間を通過して延び、該データラインには、行毎に該ライン左側と右側に交互に配置されている同色の画素の前記スイッチング用薄膜トランジスタが接続されていることを特徴とするアクティブマトリクス型表示装置。

【請求項8】 請求項6又は請求項7に記載のアクティブマトリクス型表示装置において、前記駆動電源ラインは、前記データラインと交差することなく列方向に延び、対応する画素の前記素子駆動用薄膜トランジスタに接続されていることを特徴とするアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、アクティブマトリクス型表示装置、特に各画素及び配線のレイアウトに関する。

【0002】

【従来の技術】自発光素子であるエレクトロルミネッセンス (Electroluminescence: 以下EL) 素子を各画素に発光素子として用いたEL表示装置は、自発光型であると共に、薄く消費電力が小さい等の有利な点があり、液晶表示装置 (LCD) やCRTなどの表示装置に代わる表示装置として注目され、研究が進められている。

【0003】また、なかでも、EL素子を個別に制御する薄膜トランジスタ (TFT) などのスイッチ素子を各画素に設け、画素毎にEL素子を制御するアクティブマトリクス型EL表示装置は、高精細な表示装置として期待されている。

【0004】図4は、m行n列のアクティブマトリクス型EL表示装置における1画素当たりの回路構成を示し

ている。このEL表示装置では、基板上に複数本のゲートラインGLが行方向に延び、複数本のデータラインDL及び電源ラインVLが列方向に延びている。各画素はゲートラインGLとデータラインDLとによって囲まれる領域に構成され、有機EL素子50と、スイッチング用TFT（第1TFT）10、EL素子駆動用TFT（第2TFT）20及び保持容量Csを備えている。

【0005】第1TFT10は、ゲートラインGLとデータラインDLとに接続されており、ゲート電極にゲート信号（選択信号）を受けてオンする。このときデータラインDLに供給されているデータ信号は第1TFT10と第2TFT20との間に接続された保持容量Csに保持される。第2TFT20のゲート電極には、上記第1TFT10を介して供給されたデータ信号に応じた電圧が供給され、この第2TFT20は、その電圧値に応じた電流を電源ラインVLから有機EL素子50に供給する。このような動作により、各画素ごとにデータ信号に応じた輝度で有機EL素子50が発光し、所望のイメージが表示される。

【0006】現在フラットパネルディスプレイとして多く用いられている液晶表示装置（LCD）では、カラー表示が既に実現されており、このようなカラーLCDでは、基板上に複数配置される画素は、例えば、R（赤）、G（緑）、B（青）のいずれかの色に割り当てられている。有機EL素子を用いた表示装置においても同様にカラー表示が望まれており、これを実現する場合、R、G、Bの画素の基本的な配列は、カラーLCDで用いられている配列と共通する。

【0007】

【発明が解決しようとする課題】例えばカラーLCD等において、基板上の各色に対応した画素に対しては、色毎に異なるデータラインによってデータ信号（表示信号）を供給することが多い。表示信号処理の簡素化、駆動回路の簡素化、そして、異なる色の表示内容に影響を受けにくくするためである。ここで、カラー表示装置の場合の画素配列として、列方向に同色の画素が並ぶストライプ配列が知られている。このストライプ配列の採用されたアクティブマトリクス型のカラーLCDでは、各画素の液晶容量を制御する薄膜トランジスタにデータ信号（表示信号）を供給するデータラインは、モノカラーの場合と同様に列方向にほぼ直線上に延び、1本のデータラインによって同一列方向に並んだ同色の複数の画素に対しデータ信号を供給すればよい。

【0008】図4に示すような回路構成が採用されるアクティブマトリクス型のカラー有機EL表示装置を実現する場合にも、ストライプ配列を採用した場合には、同色の有機EL素子50を備える画素が列方向にほぼ一直線上に並ぶ。従って、各画素にデータ信号を供給するデータラインDLと、電流を供給する駆動電源ラインVLは、共に画素の配列に沿って列方向にほぼ一直線上に延

びた配列とすることができる。

【0009】映像をより高解像度で表示するためのカラー表示装置の画素配列として、同色画素を列方向において行毎に所定ピッチずらしながら並べるいわゆるデルタ配列が知られている。アクティブマトリクス型LCDでは、既にこのようなデルタ配列が採用された装置が知られており、同一色の画素は、行方向に例えば1.5画素ずつずれて配置される。従って、この同一色の画素にデータ信号を供給するデータラインは、行毎にずれた画素間を蛇行しながら列方向に延びることとなる。

【0010】有機EL表示装置においても、今後、解像度向上などの要求に応じてデルタ配列を採用することが予想される。しかし、アクティブマトリクス型の有機EL表示装置では、図4に示すように、列方向において各画素に対しデータラインDLと駆動電源ラインVLとを接続する必要があるため、デルタ配列を採用した場合LCDより配線が複雑となる。さらに、この2本の配線は、製造工程の共通化のため同一材料を用いて同時にパターンニングして形成されることが多く、この場合互いに交差することなく列方向に配置する必要があり、また、少なくともデータラインDLについては、上述のような理由から同一色の画素に接続することが望まれる。

【0011】図5は、アクティブマトリクス型の有機EL表示装置においてデルタ配列を採用した場合に考えられる画素レイアウトの例を示している。図5では、同一のデータラインDLが接続される同色の画素は、そのデータラインDLに対して線対称になるように設計されている。例えば図中の1行目のR用画素では第1TFT10が画素の右側に配置されてデータライン43rに接続され、2行目のR用画素では左側に第1TFT10が配置されて同じデータライン43rに接続されている。このように行毎に画素内のパターンを左右逆とすることで、図5では行毎に2画素ずつ同色画素の位置がずれている場合に、データライン43の行間での蛇行を1画素分に抑えている。これは、蛇行距離が短いほど、配線抵抗による信号の遅延、減衰などの問題を小さくすることができるためである。

【0012】一方、駆動電源ライン（VL）45は、共通の駆動電源Pvdに接続されており、同一の色の画素に接続する必要は特にはないが、データライン43と同一材料で同時にパターンニングして形成するにはデータライン43と交差ししないことが必要である。そこで、図5のように例えば1行目において、R画素とG画素の間を通りG画素の第2TFT20と接続された駆動電源ラインVLは、G用のデータライン43gとR用のデータライン43rとの間を通り、2行目のR画素とG画素の間を通り、R画素の第2TFT20に接続すればよい。

【0013】図5に示すレイアウトでは、データラインDLをできるだけ短い配線長で同色の画素に接続すること、及び駆動電源ラインVLは、データラインDLと交

差することなく各画素に接続するという条件を満たしている。しかし、図5からも解るように、行間において配線が複雑に引き回されており、行間で配線の占める面積が非常に大きい。このように配線の占める面積が多くなると、限られた基板上において、画素の発光領域（有機EL素子形成領域）が大きく制限されることとなり、開口率の向上、つまり明るい表示を実現することができない。

【0014】また配線が複雑に引き回されていることは、配線長が長いことを意味しており、それによる配線抵抗も大きくなる。例えば駆動電源ライン45は表示装置のどの位置の画素に対しても供給可能な最大電流が同一でなければ表示面内における有機EL素子50の発光輝度ムラを生じてしまう。従って、駆動電源ライン45の配線抵抗が大きくなると、駆動電源から離れた位置にある画素ほど駆動電源ライン45の配線抵抗による電圧降下により発光輝度が低くなってしまふ。

【0015】本発明は、上記課題に鑑みなされたものであり、有機EL素子などを用いたアクティブマトリクス型表示装置において、配線パターンを簡潔とすることを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するためにこの発明はなされ、マトリクス状に配置された複数の画素のそれぞれが、被駆動素子と、駆動電源ラインからの電力を前記被駆動素子に供給する素子駆動用薄膜トランジスタと、選択時にデータラインから供給されるデータ信号に基づいて前記素子駆動用薄膜トランジスタを制御するスイッチング用薄膜トランジスタと、を少なくとも備えるアクティブマトリクス型表示装置であって、各画素において、前記駆動電源ラインは、前記スイッチング用薄膜トランジスタが前記データラインと接続されている領域では、該画素の対向する第1及び第2辺のうち前記データラインと反対側の第2辺側に配置され、前記素子駆動用薄膜トランジスタと該駆動電源ラインが接続されている領域では、前記データライン側の第1辺側に配置されている。

【0017】本発明の他の態様では、上記アクティブマトリクス型表示装置において、前記駆動電源ラインは、画素の第2辺側から、画素内の前記スイッチング用薄膜トランジスタと前記被駆動素子との間を横切って該画素の第1辺側に延びる。

【0018】本発明の他の態様では、上記アクティブマトリクス型表示装置において、前記駆動電源ラインは、画素の第2辺側から、画素内の前記スイッチング用薄膜トランジスタと前記被駆動素子との間を、前記スイッチング用薄膜トランジスタに選択信号を供給する選択ラインの延在方向に延びて該画素の第1辺側に到達する。

【0019】以上のように駆動電源ラインを配置することで、駆動電源ラインの存在によって他の回路素子に例

えば寄生容量の発生などの電氣的な悪影響を及ぼすことなく、マトリクスの隣接行間で非常に簡潔な配線パターンとすることができる。また、この駆動電源ラインは画素領域内でその第2辺側から第1辺側へと横切るが、上述のようにスイッチング用薄膜トランジスタと被駆動素子との間を、例えば選択ラインの延在方向に延びるパターンとすることで、マトリクス配列において配線効率の低下しやすい斜め方向への配線部分をなくすこともできる。よって、配線効率を高めることができ、画素の発光領域を増加させることが可能となる。

【0020】本発明の他の態様では、マトリクス状に配置された複数の画素のそれぞれが、被駆動素子と、駆動電源ラインからの電力を被駆動素子に供給する素子駆動用薄膜トランジスタと、選択時にデータラインから供給されるデータ信号に基づいて前記素子駆動用薄膜トランジスタを制御するスイッチング用薄膜トランジスタと、を少なくとも備えるアクティブマトリクス型表示装置であって、各画素において、前記スイッチング用薄膜トランジスタと前記データラインとの接続領域と、前記素子駆動用薄膜トランジスタと該駆動電源ラインが接続されている領域とは、該画素の第1辺付近に配置されている。

【0021】データラインとスイッチング用薄膜トランジスタとの接続領域では、例えば、駆動電源ラインが邪魔にならないように画素の第2辺側に配置すればよく、そして、第1辺側に形成された素子駆動用薄膜トランジスタは、上記画素第2辺側から第1辺側に横切るように延びた駆動電源ラインと接続すればよい。このように配置することで、例えばデルタ配列の場合であっても、駆動電源ラインを特別な迂回用配線を用いたり、行間での斜め方向に配線する必要がなく、駆動電源ラインの配線パターンが簡潔となり、また配線長を短くすることが容易となる。

【0022】本発明の他の態様では、マトリクス状に配置された複数の画素のそれぞれが、被駆動素子と、駆動電源ラインからの電力を被駆動素子に供給する素子駆動用薄膜トランジスタと、選択時にデータラインから供給されるデータ信号に基づいて前記素子駆動用薄膜トランジスタを制御するスイッチング用薄膜トランジスタと、を少なくとも備えるアクティブマトリクス型表示装置であって、前記素子駆動用薄膜トランジスタのゲートは、対応する前記スイッチング用薄膜トランジスタに接続されており、前記駆動電源ラインは、各画素において、該画素内を横切り、前記素子駆動用薄膜トランジスタのゲートと前記スイッチング用薄膜トランジスタとの接続配線経路と交差する。

【0023】画素領域内を駆動電源ラインが横切って配置される場合であっても、例えば上記接続配線経路が素子駆動用薄膜トランジスタのゲートと一体の場合、この配線経路と駆動電源ラインとが交差しても、ゲートと駆

動電源ラインとは異なる材料を用い、それぞれ異なる工程で、異なる層として、少なくとも層間が絶縁された状態で形成することができ、特別な絶縁構造を取ることなく2つを交差させることができる。そして、最短の配線長で駆動電源ラインを配置してデルタ配列などに対応することができる。

【0024】本発明の他の態様では、上記いずれかのアクティブマトリクス型表示装置において、前記複数の画素は、マトリクスの列方向では、隣接行の同一色の画素が互いに行方向にずれて配置されている。

【0025】本発明の他の態様では、上記アクティブマトリクス型表示装置において、前記データラインは、前記マトリクスの列方向に各画素の間を通過して延び、該データラインには、行毎に該ライン左側と右左側に交互に配置されている同色の画素の前記スイッチング用薄膜トランジスタが接続されている。

【0026】本発明の他の態様では、上記アクティブマトリクス型表示装置において、前記駆動電源ラインは、前記データラインと交差することなく列方向に延び、対応する画素の前記素子駆動用薄膜トランジスタに接続されている。

【0027】マトリクス配置された画素領域の間、画素領域内を蛇行するようにデータラインと駆動電源ラインとを形成する必要がある場合でも、この2つのラインを交差させないようにレイアウトすることで、これらのラインを同一材料を用いて同時に形成することができ、製造工程の共通化が図れ、製造コストの低減などにおいて有利となる。

【0028】

【発明の実施の形態】以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。

【0029】図1は、本発明の実施形態に係る m 行 n 列のアクティブマトリクス型EL表示装置の画素レイアウトを示している。1画素は図1においてそれぞれ一点鎖線で囲んだ領域が該当し、回路構成は上述の図4と同様であり、各画素は、被駆動素子である有機EL素子50、スイッチング用TFT（第1TFT）10、素子駆動用TFT（第2TFT）20及び保持容量 C_s を備えている。

【0030】第1TFT10は、そのゲートがゲートライン（GL）40に接続され、 nch で構成された第1TFT10は、そのドレインにデータライン（DL）42が接続され、ソースは保持容量 C_s に接続されている。保持容量 C_s は、ソースと一体の第1電極と、この第1電極と対向して設けられた第2電極とにより構成されており、第2電極は、行方向に配線された容量ライン（SL）46と一体で形成されている。第1TFT10のソース及び保持容量 C_s の第1電極は、第2TFT20のゲートに接続され、 pch で構成された第2TFT

20は、そのソースに駆動電源ライン（VL）44が接続され、ドレインは、有機EL素子50の陽極に接続されている。

【0031】1画素は以上の通りの回路構成を備え、各画素は、ここではR、G、Bのいずれかに対応しており、同色の画素は、行毎に所定ピッチだけ（図1では2画素弱）ずれて列方向に並んだデルタ配列となっている。また、データラインDL42は、行毎にずれ、かつデータライン42を基準としてその左右に交互に配置される同色の画素の第1TFT10に接続されており、画素間を蛇行しながら列方向に延びる。

【0032】そして、本実施形態では、駆動電源ライン44が、各画素をその形成領域内を横切りながら列方向に延びて各画素の第2TFT20と接続され、該第2TFT20を介して有機EL素子50に電流を供給するレイアウトとなっている。

【0033】具体的には、まず、駆動電源ライン44は、例えば図1の1行目のR画素を例に説明すると、R画素の第1TFT10がR用のデータライン42と接続されている領域では、R画素のデータライン配置辺（第1辺：この画素では左側）と反対の第2辺（ここでは右側）に配置されている。

【0034】また、本実施形態では、各画素の第1及び第2TFT10及び20は、画素の列方向に沿った対向辺（第1及び第2辺）のうち、同じ辺の付近（ここではデータラインの配置される第1辺側）に配置されている。従って、駆動電源ライン44は第2TFT20と接続するために、第2辺側からデータライン42の配置される第1辺側へとR画素内を横切って延び、第2TFT20との接続領域では、画素の第1辺側に配置されており、R用データライン42と並んで列方向に延びている。

【0035】1行目のR画素に隣接するG画素においても、同様に、G用データライン42がG画素の第1TFT10と接続される領域では、駆動電源ライン44は、これらの接続の邪魔にならないよう、G用データライン42と反対側の画素の第2辺側（右側）に配置され、G画素の第2TFT20と接続される領域では駆動電源ライン44は、G用データライン42と同じ画素の第1辺側（左側）に配置されている。

【0036】図1の2行目においては、例えば上記1行目のR画素の下行に相当するG画素に着目すると、2行目のG画素の第1TFT10とG用データライン42との接続領域では、1行目のR画素にとっての第1辺側（ここでは左側）からほぼ直線状に列方向に延びた駆動電源ライン44が、2行目のG画素にとっての第2辺側、つまりG用データライン42の配置される第1辺側と反対側の辺（左側）に配置されている。

【0037】そして、この駆動電源ライン44は2行目のG画素領域をやはり第2辺側から第1辺側へと横切

り、G画素の第2TFT20とこの駆動電源ライン44との接続領域では、G画素の第1辺側である右側に配置され、G画素の第1辺側に配置されるデータライン42 (G用)と並んで列方向に延びている。

【0038】駆動電源ライン44が各画素を横切る位置は、各画素の発光領域を実質的に規定する有機EL素子50の形成領域に影響を与えない位置であることが好ましい。アクティブマトリクス型の有機EL表示装置において、各画素の発光領域は、実質的には有機EL素子50の形成領域、特に、画素毎に個別に形成される陽極の延在領域によってほぼ規定される。画素の残りの領域には、この有機EL素子50を駆動するための第1及び第2TFT10、20と保持容量Csなどが配置され、これら残りの領域は、元々、発光には寄与しない。従って、駆動電源ライン44は、これら1画素内の発光に寄与しない領域をできるだけ通るように配置することで発光面積が縮減されることを防止できる。このため、本実施形態では、駆動電源ライン44は、画素の第2辺側から、画素内の第1TFT10と有機EL素子50との間を、ゲートライン40の延在方向に沿って横切り、該画素の第1辺側においてデータライン42と並んで列方向に延びるレイアウトが採用されている。

【0039】第2TFT20は有機EL素子50に駆動電源ライン44からの電流を供給するので、有機EL素子50の形成領域の近くに配置されることが多く、一方、ゲートライン40からの選択信号を受けてデータ信号を取り込む第1TFT10は、ゲートライン40の近くに配置されることが多い。従って、できるだけ有機EL素子50の形成領域を避け、かつデータライン42とは交差しないように駆動電源ライン44を配置するため、駆動電源ライン44を発光領域(有機EL素子50の形成領域)と第1TFT10の形成領域との間に通すことは好適である。

【0040】ここで、第2TFT20のゲート電極は、第1TFT10のソース(又はドレイン)に電気的に接続されており、上述のように有機EL素子50と第1TFT10との間を横切る駆動電源ライン44は、この第2TFT20のゲートと第1TFT10のソースとの間の配線経路と交差することとなる。一方、図1に示すように、駆動電源ライン44は、データライン42と交差することなく配線され、この2つのライン42及び44は、互いに例えばA1などの同一材料を用い、これを同時にパターニングして形成されている。また、ゲートライン40、保持容量ライン46、及び第2TFTのゲート電極は、上記駆動電源ライン44及びデータライン42との間に層間絶縁層を挟んで下層に、例えばCrなどを用い、これらは同時にパターニングして形成されている。従って、上述のように、駆動電源ライン44が画素内を横切ることにより、この駆動電源ライン44と、第2TFT20のゲートとが交差することとなっても、第

2TFT20のゲートと上記駆動電源ライン44との層間は層間絶縁層によって絶縁されており、駆動電源ライン44は、この第2TFT20のゲート電極、或いはこのゲート電極と一体の配線層の上層において比較的自由に配線することができる。但し、カップリング容量等が形成されることから、できる限り配線同士が重ならないようにすることが好ましい。

【0041】図2は、上述のような回路レイアウトに基づいた画素平面構造の一例を示しており、図3の

(a)、(b)に図2のA-A線に沿った断面(第1TFT断面)、B-B線に沿った断面(第2TFT断面)をそれぞれ示している。図2に示す例では、同色の画素が行毎に1.5画素ずれたデルタ配列となっている。図2では、1画素を構成する有機EL素子50、第1、第2TFT10、20、及び保持容量Csは、ゲートライン40と、データライン42とによって規定された領域に構成されている。

【0042】第1TFT10は、ゲートラインGLとデータラインDLとの交差部近傍に形成されている。図2の例では、1行目の各画素の第1TFT10は、該画素の左側(画素の第1辺側)に配置され、2列目の各画素の第1TFT10は、該画素の右側(画素の第1辺側)にそれぞれ配置されている。

【0043】ガラスなどの透明絶縁基板1の上には図3(a)に示すように第1TFT10の能動層6が形成されており、この能動層6には、レーザアニール処理によってa-Siを多結晶化して得たp-Siが用いられている。ゲートライン40から該ゲートライン40と一体のゲート電極2が突出形成され、能動層6を覆って形成されたゲート絶縁膜4の上に2カ所ゲート電極2が配置され、回路的にダブルゲート構造のTFTが形成されている。能動層6はゲート電極2の直下の領域がチャネル領域6cとなり、チャネル領域6cの両側には、ここではリン(P)などの不純物がドーパされたドレイン領域6d、ソース領域6sが形成され、nch-TFTが構成されている。

【0044】第1TFT10のドレイン領域6dは、第1TFT10全体を覆って形成される層間絶縁膜14の上に形成され、画素に対応した色のデータ信号を供給するデータライン42と、該層間絶縁膜14及びゲート絶縁膜4とに開口されたコンタクトホールで接続されている。

【0045】第1TFT10のソース領域6sには、保持容量Csが接続されている。この保持容量Csは、第1電極7と第2電極8とが層間にゲート絶縁膜4を挟んで重なっている領域に形成されている。第1電極7は、図2のようにゲートライン40と同様行方向に延び、ゲートと同一材料から形成された容量ライン46と一体で形成されている。また、第2電極8は、第1TFT10の能動層6と一体で、該能動層6が第1電極7の形成位

置まで延出して構成されている。この第2電極8は、図2に示すように第1及び第2TFT10、20の配置される画素の第1辺側でコネクタ48を介して第2TFT20のゲート電極24に接続されている。

【0046】本実施形態において、第2TFT20は、1画素内で、上記第1TFT10と同様にこの画素にデータ信号を供給するデータライン42の配置サイドに形成される。つまり、概ね四角形の画素の列方向に延びる対向する2辺のうち、データライン42の配置される第1辺側に、第1TFT10及び第2TFT20のいずれもが配置されている。この第2TFT20は、図3

(b)のような断面構造を備え、本実施形態では、データライン42の延在方向(列方向)沿った長いチャンネル16cを備えている。第2TFT20の能動層16は、上記第1TFT10の能動層6と同時に基板1上に形成されたものであり、レーザアニール処理により、a-Siが多結晶化されて形成された多結晶シリコンが用いられている。

【0047】この第2TFT20のチャンネル長方向は細長い形状の1画素の長手方向に沿うように配置されている。必ずしも、このような向きにチャンネル長方向を設定する必要はなく、また図示するようにチャンネル長を非常に長くする必要はない。しかし、データラインの延在方向にチャンネル長方向が向き、かつ十分長いチャンネル長とすれば、例えばパルス状のレーザをこのチャンネル長方向に走査した場合、第2TFT20の全能動層領域が1回のパルスだけで多結晶化されず、必ず複数回レーザ照射を受けて多結晶化することが可能となる。このため、異なる位置の画素の第2TFT20との間でトランジスタ特性に大きな差が出ることを防止することが可能となる。

【0048】多結晶シリコンからなる能動層16の上にはゲート絶縁膜4が形成され、このゲート絶縁膜4の上に第1TFT10と同様、第2TFT20のゲート電極24が形成されている。この第2TFT20のゲート電極24は、上記コネクタ48によって、第1TFT10の能動層6と一体の保持容量Csの第2電極8に接続されており、画素の第1辺側の端に配置されたコネクタ48から延びてゲート絶縁膜4上の能動層16上方を広く覆うようにパターニングされている。

【0049】第2TFT20の能動層16は、ゲート電極24によって上方が覆われている領域がチャンネル領域16cであり、このチャンネル領域16cの両側にはそれぞれソース領域16sと、ドレイン領域16dが形成されている。能動層16のソース領域16sは、画素の第1辺側(図2では画素の第1辺側であって、かつコネクタ48と有機EL素子50との間)において、能動層16上のゲート絶縁膜4及び層間絶縁膜14を貫通して形成されたコンタクトホールを介し、駆動電源ライン44と接続されている。上述のように、駆動電源ライン44

は、第1TFT10とデータライン42との接続領域では、画素の第2辺側に配置されているが、第2TFT20と駆動電源ライン44との接続領域より下の位置(図中の下方方向)では、画素の第1辺側においてデータライン42と並んで列方向に延びている。そして、図2の2行目の画素では、この駆動電源ライン44は、保持容量Csと有機EL素子50との間をこの画素の第2辺側から第1辺側へと行方向に横切って第2TFT20の能動層16と接続され、この2行目の画素にデータ信号を供給するデータライン42と平行に列方向に延びている。

【0050】なお、第1TFT10及び第2TFT20は、図2及び図3に示すような形状や構造に限られないが、駆動電源ライン44を簡潔に配線するために、少なくとも第1TFT10とデータライン42とのコンタクト位置、第2TFT20と駆動電源ライン44とのコンタクト位置が、それぞれ画素の同一辺側(例えば第1辺側)に配置することが必要である。

【0051】コネクタ48は、図2のようにデータライン42と、能動層16と駆動電源ライン44との接続位置との間に、駆動電源ライン44を避けるように配置しており、コネクタ48は、データライン42及び上記駆動電源ライン44と同一の、例えばA1を用い、これらのラインと同時にパターニング形成することが可能となっている。また、図2に示す例では、コネクタ48が、駆動電源ライン44と能動層16とのコンタクトを行方向に迂回するように配置されていることで、各画素は、第1TFT10及び保持容量Csの形成領域と、第2TFT20及び有機EL素子50の形成領域とで、その行方向の中心が互いに少しずれているが、全体としては、ほぼ矩形或いは矩形に近い形状となっている。もちろん、矩形又は矩形に近似した形状には限られないが、画素のデータラインの通る辺側に第1及び第2TFT10、20を配置し、一部では駆動電源ラインVLも同じ辺を通る構成を採用することが好ましい。

【0052】コネクタ48から能動層16の延在領域に向かって引き出された第2TFT20のゲート電極24は、コネクタ48の付近で、間に層間絶縁膜14を挟んで駆動電源ライン44と交差している。

【0053】第2TFT20のドレイン領域16dは、マトリクス次の行に相当するゲートライン40の近傍で、ゲート絶縁膜4及び層間絶縁膜14を貫通して形成されたコンタクトホールを介し、上記駆動電源ライン44等と同一材料で同時に形成されたコネクタ26と接続されている。このコネクタ26は、能動層16とのコンタクト位置から有機EL素子50の後述する陽極形成領域に延び、上記駆動電源ライン44、データライン42及びコネクタ48、26を覆って基板全面に形成された第1平坦化絶縁層18に開口されたコンタクトホールを介して有機EL素子50の陽極52と電気的に接続されている。

【0054】また、図3(b)に示すように、上記第1平坦化絶縁層18の上には、有機EL素子50の陽極52の形成中央領域のみ開口され、陽極52のエッジを覆い、また配線領域及び第1及び第2TFTの形成領域を覆って第2平坦化絶縁層61が形成されている。そして、有機EL素子50の発光素子層51が、陽極52及び第2平坦化絶縁層61上に形成されている。また発光素子層51の上には全画素共通の金属電極57が形成されている。

【0055】有機EL素子50は、ITO(Indium Tin Oxide)等からなる透明の陽極52と、例えばAlなどの金属からなる陰極57との間に有機化合物が用いられた発光素子層(有機層)51が形成されて構成されており、本実施形態では、図3(b)に示すように基板1側から陽極52、発光素子層51、陰極57がこの順に積層されている。

【0056】発光素子層51は、この例では、陽極側から、例えばホール輸送層54、有機発光層55、電子輸送層56が例えば真空蒸着によって順に積層されている。また、少なくとも発光層55は発光色毎に異なる材料が用いられているが、他のホール輸送層54、電子輸送層56は、図3に示すように全画素に対して共通で形成することも可能である。各層に用いられる材料は、一例として以下の通りである。

【0057】ホール輸送層54: NBP、
発光層55: レッド(R)・・・ホスト材料(Alq₃)に赤色のドーパント(DCJTB)をドープ、
グリーン(G)・・・ホスト材料(Alq₃)に緑色のドーパント(Coumarin 6)をドープ、
ブルー(B)・・・ホスト材料(Alq₃)に青色のドーパント(Perylene)をドープ、
電子輸送層56: Alq₃、
また、陰極57と電子輸送層56との間には例えばフッ化リチウム(LiF)等を用いた電子注入層を形成していても良い。またホール輸送層はそれぞれ異なる材料を用いた第1及び第2ホール輸送層から構成されていても良い。また、各発光素子層51は少なくとも発光材料を含有する発光層55を備えているが、用いる材料によっては上記ホール輸送層や、電子輸送層などは必ずしも必要でないこともある。なお、略称にて記載した材料の正式名称は、それぞれ、「NBP」・・・N,N'-Di((naphthalene-1-yl)-N,N'-diphenyl-benzidine)、「Alq₃」・・・Tris(8-hydroxyquinolinato)aluminum、「DCJTB」・・・(2-(1,1-Dimethylethyl)-6-(2-(2,3,6,7-tetrahydro-1,1,7,7-tetramethyl-1H,5H-benzo[ij]quinolizin-9-yl)ethenyl)-4H-pyran-4-ylidene)propanedinitrile、「Coumarin 6」・・・3-(2-Benzothiazolyl)-7-(diethylamino)coumarin、「BA1q」・・・(1,1'-Bisphenyl-4-Olato)bis(2-methyl-8-quinolinplate-N 1,08)Aluminum、である。但し、もちろんこのような構成には限られな

い。

【0058】図2にも示されているように、デルタ配列が採用されていても、配線が斜め方向に引き回される領域が無く、本実施形態では各画素、特に有機EL素子50の形成領域は概ね矩形とすることが可能となっている。例えば図5に示すようなレイアウトでは、デルタ配列の画素のずれ量が大きくなるほど、画素の形状は

「>」や「<」のように大きく屈曲することとなり、有機EL素子の形成領域も同様に屈曲したパターンとせざるを得なくなる。ここで、上述のように発光素子層51は、現在のところ真空蒸着によって形成されており、画素毎に個別パターンの蒸着層を形成するためには、パターンに応じた開口部を備えた蒸着マスクを基板と蒸着源との間に配置して蒸着を行う必要がある。このような蒸着マスクに形成した開口部により有機層をパターンニングする場合、途中で大きく屈折したような複雑な開口パターンは、単純な矩形のパターンと比較して均一な蒸着が難しくなると考えられる。従って、本実施形態のように画素の各素子のレイアウト及び駆動電源ライン44の配線パターンを工夫することにより、有機EL素子50の有機層(蒸着層)をより均一に形成することも可能となる。

【0059】

【発明の効果】以上説明したように、この発明においては、デルタ配列のように同色の画素が所定ピッチずつずれて配置されている場合であっても、各画素にデータ信号を供給するデータラインと、各画素に電力を供給する駆動電源ラインとを簡潔に配線することができる。特に、駆動電源ラインの配線パターンについてもデータラインと同様に配線長を最小限として配線でき、各画素の発光領域を最大限確保して明るく高解像度のカラー表示装置を実現することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施形態に係る画素配列を示す概略図である。

【図2】 図1の配列のより具体的な平面図である。

【図3】 図2のA-A線及びB-B線に沿った断面構造を示す図である。

【図4】 アクティブマトリクス型の有機EL表示装置の1画素当たりの回路構成を示す図である。

【図5】 デルタ配列を採用した場合に予想されるアクティブマトリクス型の有機EL表示装置のレイアウト例である。

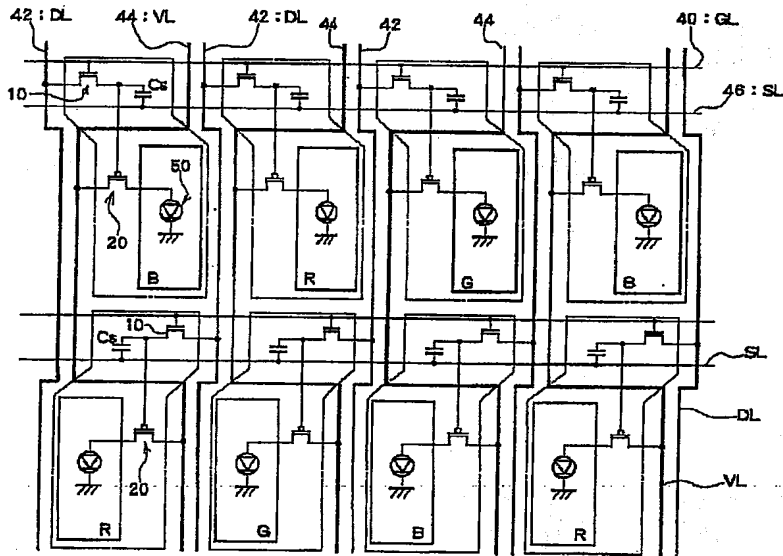
【符号の説明】

1 基板(ガラス基板)、2, 24 ゲート電極、4 ゲート絶縁膜、6, 16 能動層、7 保持容量第1電極、8 保持容量第2電極、10 第1TFT(スイッチング用TFT)、14 層間絶縁膜、18 平坦化絶縁層、20 第2TFT(素子駆動用TFT)、26, 48 コネクタ、40 ゲートライン(GL、選択ライ

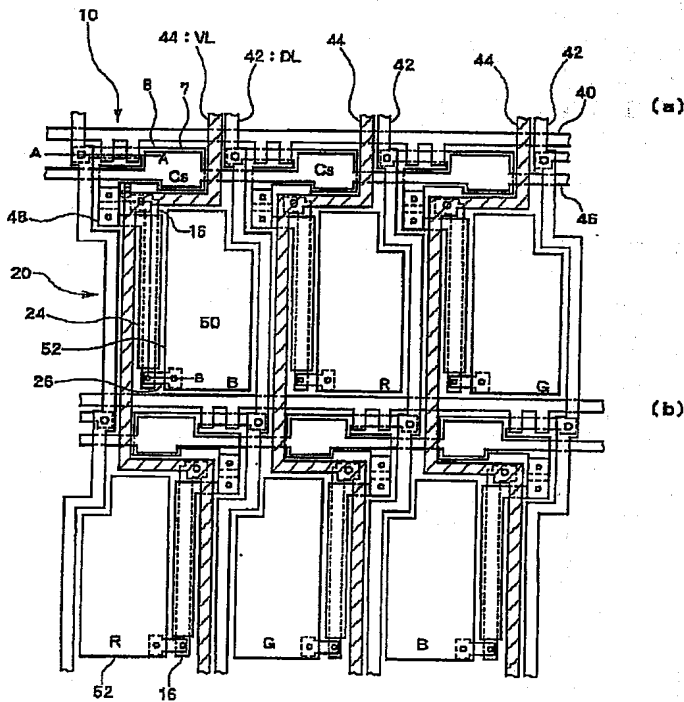
ン)、42 データライン (DL)、44 駆動電源ライン (VL)、46 容量ライン (SL)、50 有機 EL 素子、51 発光素子層、52 陽極、54 ホー*

*ル輸送層、55 有機発光層、56 電子輸送層、57 陰極。

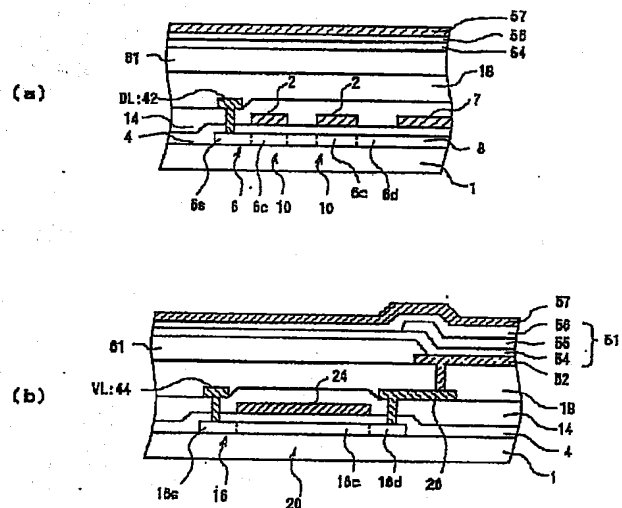
【図 1】



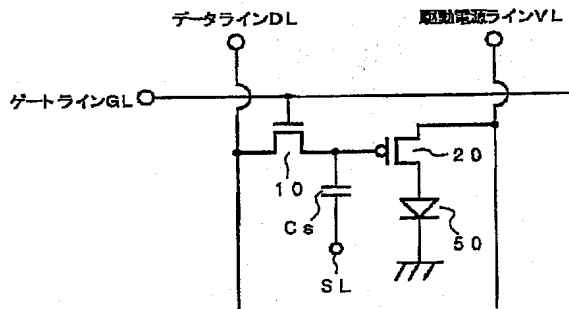
【図 2】



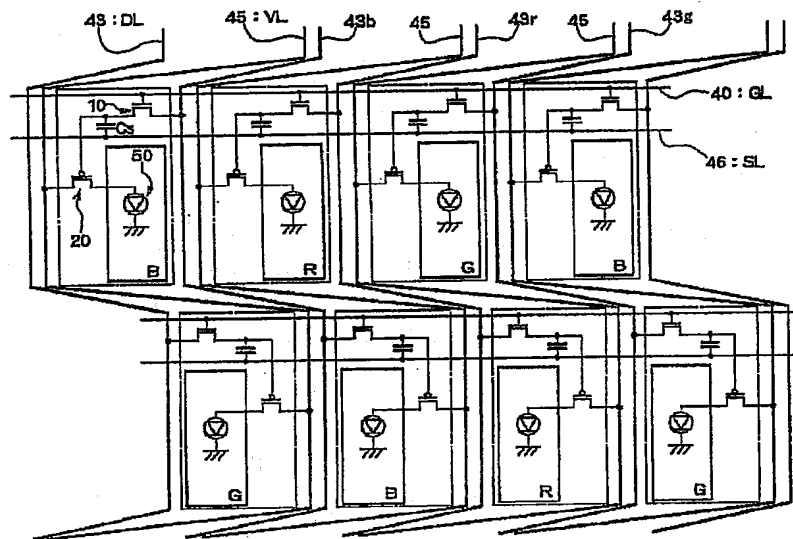
【図 3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl.⁷

G 0 9 G 3/30

H 0 5 B 33/14

識別記号

F I

G 0 9 G 3/30

H 0 5 B 33/14

テーマコード(参考)

H

A

F ターム(参考) 3K007 AB02 AB04 AB17 AB18 BA06
DB03 GA04
5C080 AA06 BB05 DD05 DD22 FF11
JJ03 JJ06
5C094 AA02 BA12 BA29 BA43 CA19
CA24 DA09 DA14 DA15 DB01
DB03 DB04 EA04 EA07
5G435 AA00 BB05 BB12 CC09 CC12
EE33 EE37 EE41